

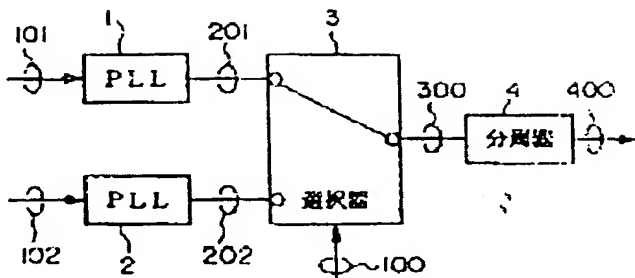
CLOCK SELECTING CIRCUIT

Patent number: JP2000148281
Publication date: 2000-05-26
Inventor: TAKEHARA TATATOMI
Applicant: NEC COMMUN SYST LTD
Classification:
- international: G06F1/06; H03K5/15
- european:
Application number: JP19980322686 19981112
Priority number(s):

Abstract of JP2000148281

PROBLEM TO BE SOLVED: To obtain a clock selecting circuit which can suppress a phase jump of an outputted clock small when a clock to be selected is switched.

SOLUTION: Clocks 101 and 102 are received by PLLs(Phase Locked Loop) 1 and 2 and multiplied by N. A selector 3 inputs the multiplied clocks 201 and 202 and selects one of the clocks 201 and 202 according to an external selection signal 100. A frequency divider 4 inputs the selected clock and divides its frequency by N to output a clock 400.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-148281

(P2000-148281A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 1/06		G 0 6 F 1/04	3 1 0 A 5 B 0 7 9
H 0 3 K 5/15		H 0 3 K 5/15	Z 5 J 0 3 9

審査請求 有 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平10-322686

(22) 出願日 平成10年11月12日 (1998. 11. 12)

(71) 出願人 000232254

日本電気通信システム株式会社
東京都港区三田1丁目4番28号

(72) 発明者 武原 忠臣

東京都港区三田1丁目4番28号 日本電気
通信システム株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

Fターム(参考) 5B079 BA20 CC12 DD03 DD04 DD17
DD20

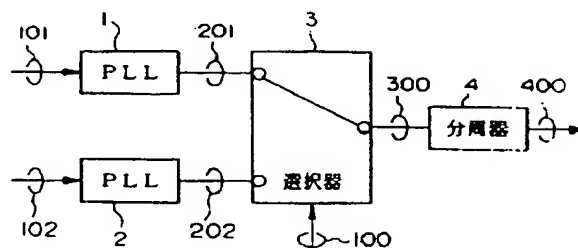
5J039 KK20 KK27 KK33 MM16

(54) 【発明の名称】 クロック選択回路

(57) 【要約】

【課題】 選択対象のクロックを切り替える際に、出力されるクロックの位相飛びを小さく抑えることのできるクロック選択回路を提供すること。

【解決手段】 PLL (Phase Locked Loop) 1, 2 により、クロック 101, 102 をそれぞれ受信し、該クロックを N 倍に逡倍する。選択器 3 は、逡倍されたクロック 201, 202 を入力し、外部からの選択信号 100 に基づきクロック 201, 202 のいずれかを選択する。分周器 4 は、選択されたクロックを入力し、これを N 分の 1 に分周してクロック 400 を出力する。



【特許請求の範囲】

【請求項1】 複数系統のクロックをそれぞれ受信し、該複数系統のクロックをN倍に逡倍する複数のクロック逡倍手段と、

前記複数のクロック逡倍手段により逡倍された複数のクロックを入力し、外部からの選択信号に基づき該複数のクロックのいずれかを選択するクロック選択手段と、前記クロック選択手段により選択されたクロックを入力し、これをN分の1に分周するクロック分周手段と、を備えたことを特徴とするクロック選択回路。

【請求項2】 前記クロック分周手段から出力されたクロックに同期させて、該クロックと同一周波数のクロックを生成するクロック生成手段をさらに備えたことを特徴とする請求項1に記載されたクロック選択回路。

【請求項3】 前記複数のクロック逡倍手段は、入力されるクロックに同期させて該クロックをN倍に逡倍することを特徴とする請求項1に記載されたクロック選択回路。

【請求項4】 前記複数のクロック逡倍手段は、参照信号と入力されるクロックとの位相を比較してこれらの位相差に応じた電圧信号を発生する電圧信号発生部と、前記電圧信号に応じた周波数のクロックを発生する電圧制御発振器と、前記電圧制御発振器から出力されたクロックをN分の1に分周して前記参照信号として出力する分周器と、を備えたことを特徴とする請求項1ないし請求項3のいずれかに記載されたクロック選択回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数系統のクロックの中から1つを選択して出力するためのクロック選択回路に関する。

【0002】

【従来の技術】従来、複数系統のクロックの中から1つを選択する場合、選択器が用いられるのが通例である。この選択器は、例えば、複数の入力端子と1つの出力端子とを有し、外部の選択信号に基づいて、複数の入力端子と1つの出力端子との間の接続状態を切り替えるように構成されている。

【0003】

【発明が解決しようとする課題】ところで、周波数や位相が異なる複数系統のクロックを受信して選択器により選択する場合、各クロック間の位相差に起因して、選択器の切り替え時にクロックの位相飛びが発生する。このようにクロックの急激な位相飛びが発生すると、選択器により選択されたクロックに同期して動作する後段の回路は、同期がとれなくなって誤動作を起こし、この回路の動作に悪影響を与えるという問題があった。

【0004】この発明は、上記事情に鑑みてなされたも

ので、選択対象のクロックを切り替える際に、出力されるクロックの位相飛びを小さく抑えることのできるクロック選択回路を提供することを目的とする。

【0005】

【課題を解決するための手段】上記課題を解決達成するため、この発明は以下の構成を有する。すなわち、請求項1にかかる発明は、複数系統のクロックをそれぞれ受信し、該複数系統のクロックをN倍（Nは正の整数）に逡倍する複数のクロック逡倍手段と、前記複数のクロック逡倍手段により逡倍された複数のクロックを入力し、外部からの選択信号に基づき該複数のクロックのいずれかを選択するクロック選択手段と、前記クロック選択手段により選択されたクロックを入力し、これをN分の1に分周するクロック分周手段と、を備えたことを特徴とする。

【0006】この発明によれば、入力クロックはN倍に逡倍され、クロックの1周期がN分の1となる。そして、この逡倍されたクロックを分周してクロックが再生される。したがって、分周する際には、逡倍されたクロックの1周期分の誤差の範囲内でクロックが再生される。これにより、選択対象のクロックを切り替える際に、出力されるクロックの位相飛びを小さく抑えることが可能となる。

【0007】請求項2にかかる発明は、前記クロック分周手段から出力されたクロックに同期させて、該クロックと同一周波数のクロックを生成するクロック生成手段をさらに備えたことを特徴とする。請求項3にかかる発明は、前記複数のクロック逡倍手段が、入力されるクロックに同期させて該クロックをN倍に逡倍することを特徴とする。

【0008】請求項4にかかる発明は、前記複数のクロック逡倍手段が、参照信号と入力されるクロックとの位相を比較してこれらの位相差に応じた電圧信号を発生する電圧信号発生部と、前記電圧信号に応じた周波数のクロックを発生する電圧制御発振器と、前記電圧制御発振器から出力されたクロックをN分の1に分周して前記参照信号として出力する分周器と、を備えたことを特徴とする。

【0009】すなわち、請求項1から4の発明は、選択器により複数系統のクロックから一つを選択するクロック選択回路において、各々の入力クロック受信部にPLL（Phase Locked Loop）を配置して、クロックのリカバリを行う機能を備え、選択器の切り替え時には切り替えた前後のクロックの位相差を吸収して、急激な位相飛びのないクロックを出力するようにしたものである。

【0010】

【発明の実施の形態】以下、図面を参照して、この発明にかかる実施の形態を説明する。この実施の形態にかかるクロック選択回路は、複数系統のクロックを受信してクロックの切り替え機能を有するシステムに適用され、

PLL(Phase Locked Loop)によるクロックリカバリー機能を備えることにより、クロックの切り替え前後でのクロックの位相差に起因して発生する出力クロックの位相飛びを最小限に抑え込むものである。

【0011】実施の形態1. 図1に、2系統の入力クロック101、102から一方を選択する場合を例として、実施の形態1にかかるクロック選択回路の構成例を示す。同図において、PLL(Phase Locked Loop)1および2は、クロック101、102をそれぞれ受信し、このクロックをN倍(Nは正の整数)に通倍するクロック通倍手段を構成する。また、選択器3は、PLL1およびPLL2によりそれぞれ通倍されたクロックを入力し、外部からの選択信号100に基づきいずれかを選択するクロック選択手段を構成する。さらに、分周器4は、選択器3により選択されたクロックを入力し、これをN分の1に分周してクロック101、102と同じ周波数に戻すためのクロック分周手段を構成する。

【0012】ここで、図2に、PLL1およびPLL2の詳細な構成を示す。同図に示すように、これらPLL1およびPLL2は、後述する参照信号とクロック101、102との位相を比較する位相比較器10と、位相比較器の出力信号から低域成分のみを通過させる低域通過フィルタ11と、低域通過フィルタの出力を増幅する増幅器12と、増幅器12の出力信号の電圧に応じた周波数のクロック201、202を出力する電圧制御発振器13と、クロック201、202をN分の1に分周して、これを参照信号として位相比較器10に与える分周器14とから構成される。なお、位相比較器10、低域通過フィルタ11、増幅器12は、電圧信号発生器を構成する。

【0013】以下、図3に示すタイミングチャートを参照して、この実施形態の動作を説明する。なお、図3に示す例では、クロック101とクロック102との間に位相差Aが存在する。仮に本発明を適用しないで従来の選択器で切り替えを行くと、出力されるクロックにはこの位相差Aだけの位相飛びが発生することとなる。また、この実施形態では、クロック101、102と、クロック201、202との周波数を、1:8としている。ただし、クロック飛びを小さくする観点から、クロック201および202の周波数を十分に高く設定することが望ましい。

【0014】PLL1は、クロック101を入力し、この入力クロック101に同期させて、クロック101をN倍に通倍し、高周波のクロック201を生成する。すなわち、クロック101は、このクロック101に同期した高周波数のクロック201に変換される。同様に、PLL2は、クロック102を入力し、このクロック102に同期した高周波数のクロック202に変換する。

【0015】選択器3は、クロック201および202を入力し、選択信号10に基づき一方を選択し、クロッ

ク300として出力する。分周器4は、クロック300を入力し、 $1/n$ に分周して、クロック400を出力する。このクロック400は、入力クロック101および102と同じ周波数のクロックとなる。なお、この実施形態では、選択信号10がローレベルの場合にクロック201をクロック300として選択し、ハイレベルの場合にクロック202をクロック300として選択する。

【0016】ここで、時刻t0において、選択信号100が切り替わり、クロック201を選択している状態からクロック202を選択する状態に移移すると、分周器4は、クロック202を分周してクロック400を出力する。ここで、仮にクロック201をそのまま選択した場合、図3において、時刻t0からクロック201の4つ目のハイエッジでクロック400がハイレベルに移移する。

【0017】ところが、選択器3により時刻t0でクロック202が選択されるので、クロック400は、時刻t0からクロック202の4つ目のハイエッジでクロック400がハイレベルに移移する。この結果、クロック400の位相飛びはクロック300の半周期分(位相差B)に抑えられる。

【0018】この実施の形態1では、クロック201とクロック202との位相差が半周期分となっているので、最大でもクロック201およびクロック202の半周期分の位相飛びに抑えられる。この位相飛びによる位相差Bは、クロック201とクロック201の位相差によるもので、仮に、クロック201とクロック202との位相差が任意であったとしても、位相飛びはクロック201およびクロック202の1周期分に抑えられる。

【0019】ここで、前述の従来技術では、位相飛びによる位相差Aは、クロック101とクロック102との位相差となり、クロック101とクロック102との位相差が大きくなれば、位相飛びによる位相差Aは比例して大きくなる。これに対して、この実施形態によれば、位相飛びによる位相差Bは、PLLの発振周波数を高くすることにより、位相差Aの大きさに関わらず任意の値以下に抑えることが可能である。

【0020】この実施の形態1では、クロック201および202の周波数が高くなるほど、位相飛びが小さく抑えられる。そこで、クロック201およびクロック202の周波数がクロック101およびおおよそクロック102よりも十分に高くなるように、PLL1およびPLL2の回路構成が決定される。具体的には、図2に示す分周器14の分周比を大きくする。このように決定されたクロック201および202の1周期分の時間が、本実施形態にかかるクロック選択回路で抑え込むことができる位相飛びの最大値になる。

【0021】実施の形態2. 図4に、この発明の実施の形態2にかかるクロック選択回路の構成を示す。同図に示すように、このクロック選択回路は、前述の図1に示

10

20

30

40

50

す構成において、クロック生成手段としてのPLL(Phase Locked Loop)5を分周器4の後段にさらに設けて構成される。

【0022】このクロック選択回路によれば、上述の実施の形態1と同様に動作して、クロック400が生成された後、PLL5により、クロック400に同期させて、クロック400と同一周波数のクロック400Aを生成する。

【0023】ここで、PLL5は、クロック400と同期したクロック400A生成する過程においてフィードバック動作を伴う。このため、選択信号100に基づきクロックの選択が瞬時に切り替わったとしても、PLL5によりゆるやかに同期がとられる。これにより、単に位相飛びを小さく抑え込む場合より、更になめらかに出力クロック400Aの周波数変動を抑制することが可能となる。

【0024】以上説明した本実施形態にかかるクロック選択回路によれば、クロック選択器の切り替えによるクロックの位相飛びを、入力クロックの位相差に関わらず任意の値以下に小さく抑えることができる。

【0025】また、両系統のクロックの受信部にPLLによるクロックリカバリーを設けたことにより、受信クロックのノイズ的な周波数変動を吸収し、安定したクロックを供給できる。また、通倍・分周という過程を経ることで、クロックのデューティの補正もできる。

【0026】これにより、選択器の切り替えが行われた際に生じる出力クロックの位相飛びを、PLL1またはPLL22が出力する周波数の高いクロックの1周期分に抑えることができ、しかも、各入力クロックの位相差が選択器3の出力クロックに影響を与えることはない。

【0027】以上、この発明の実施の形態を説明したが、この発明は、この実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、PLL1およびPLL2からそれぞれ出力されるクロック201とクロック202は互いに半周期分だけ位相がずれているものとしたが、これに限定されることなく、それぞれのクロックが任意の周波数、任意の位相を有するものであってもよい。また、上述の各実施の形態では、2系統のクロック信号を入力するものとしたが、これに限定されることなく、任意の数のクロックを入力して選択するものとして

もよい。

【0028】

【発明の効果】以上説明したように、この発明によれば以下の効果を得ることができる。すなわち、請求項1にかかる発明によれば、複数系統のクロックをそれぞれ受信し、該複数系統のクロックをN倍に通倍し、外部からの選択信号に基づき通倍された複数のクロックのいずれかを選択し、これをN分の1に分周するようにしたので、選択対象のクロックを切り替える際に、出力されるクロックの位相飛びを小さく抑えることのできるクロック選択回路を実現できる。

【0029】請求項2にかかる発明によれば、クロック分周手段から出力されたクロックに同期させて、該クロックと同一周波数のクロックを生成するようにしたので、クロックが瞬時に切り替わっても、出力クロックの周波数変動を抑制することができる。

【0030】請求項3にかかる発明によれば、クロック通倍手段により、入力クロックに同期させて該クロックをN倍に通倍するようにしたので、入力クロックのリカバリーを設定することが可能となる。

【0031】請求項4にかかる発明によれば、参照信号と入力クロックとの位相を比較してこれらの位相差に応じた電圧信号を発生し、前記電圧信号に応じた周波数のクロックを発生し、このクロックをN分の1に分周して前記参照信号として出力するようにしたので、入力クロックに同期してN倍に通倍されたクロックを得ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1にかかるクロック選択回路の構成を示すブロック図である。

【図2】 この発明の実施の形態1にかかるPLLの構成例を示すブロック図である。

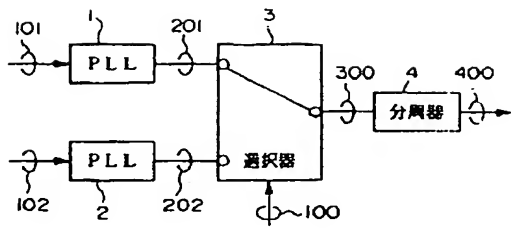
【図3】 この発明の実施の形態1にかかるクロック選択回路の動作を説明するためのタイミングチャートである。

【図4】 この発明の実施の形態2にかかるクロック選択回路の構成を示すブロック図である。

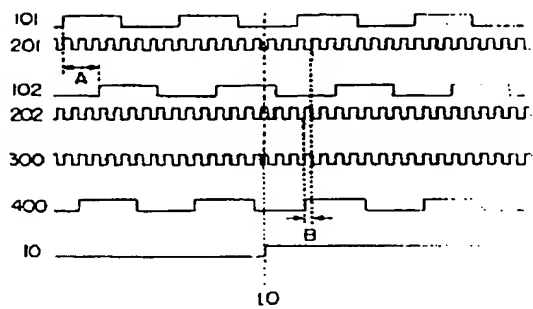
【符号の説明】

1, 2, 5…PLL、3…選択器、4, 14…分周器、10…位相比較器、11…低域通過フィルタ、12…増幅器、13…電圧制御発振器。

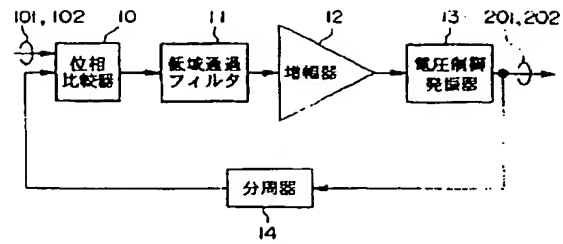
【図1】



【図3】



【図2】



【図4】

